

#4  
IDS

CLIPPEDIMAGE= JP407161851A

PAT-NO: JP407161851A

DOCUMENT-IDENTIFIER: JP 07161851 A

TITLE: SEMICONDUCTOR NONVOLATILE MEMORY AND ITS  
MANUFACTURE

PUBN-DATE: June 23, 1995

INVENTOR-INFORMATION:

NAME

KUBOTA, MICHITAKA

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP05310773

APPL-DATE: December 10, 1993

INT-CL (IPC): H01L021/8247;H01L029/788 ;H01L029/792  
;H01L021/318

ABSTRACT:

PURPOSE: To provide a semiconductor nonvolatile memory,  
which can be  
manufactured in high integration in terms of the existing  
processing technology  
and at low cost, and its manufacturing method.

CONSTITUTION: MONOS is used as a memory element. A first  
layer gate is thinned  
down by the resist ashing method. After an ONO film is  
formed, a transistor is  
made by a sidewall at a second layer which is a second  
polysilicon layer 4;  
then, the ONO film is formed to form a transistor between  
sidewalls in a third  
layer which is a third polysilicon layer 5. This enables  
the integration of a  
semiconductor nonvolatile memory to be improved.

DERWENT-ACC-NO: 1995-258746  
DERWENT-WEEK: 199534  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Non-volatile semiconductor memory manufacturing method e.g. flash  
EEPROM - has third memory elements formed adjacent two second memory elements

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1993JP-0310773 (December 10, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 07161851 A	June 23, 1995	N/A
006	H01L 021/8247	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP07161851A	N/A	1993JP-0310773
	December 10, 1993	

INT-CL (IPC): H01L021/318; H01L021/8247 ; H01L029/788 ;  
H01L029/792

ABSTRACTED-PUB-NO: JP07161851A

BASIC-ABSTRACT: The memory has a first transistor element surrounded by an interlayer insulating film (7). A gate (3) of the first polysilicon layer is dwindle by resist ashing method. A second transistor (Tr2) is formed in the second polysilicon layer (4) along side of the first. Similarly, a third transistor (Tr3) is formed in third polysilicon layer (5) along the side walls of the second.

ADVANTAGE - Improves integration density of non-volatile memory.

CHOSEN-DRAWING: Dwg.1/7

TITLE-TERMS:

NON VOLATILE SEMICONDUCTOR MEMORY MANUFACTURE METHOD FLASH  
EEPROM THIRD MEMORY  
ELEMENT FORMING ADJACENT TWO SECOND MEMORY ELEMENT

DERWENT-CLASS: L03 U12 U13 U14

CPI-CODES: L03-G04A; L04-C04; L04-C12C; L04-E01;

EPI-CODES: U12-D02A2; U12-Q; U13-C04A; U13-C04B2;  
U14-A03B7;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1995-117828

Non-CPI Secondary Accession Numbers: N1995-199326

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平7-161851

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl.<sup>e</sup>  
H 01 L 21/8247  
29/788  
29/792  
21/318

識別記号 庁内整理番号  
C 7352-4M

F I

技術表示箇所

H 01 L 29/78 371

審査請求 未請求 請求項の数6 OL (全6頁)

(21)出願番号

特願平5-310773

(22)出願日

平成5年(1993)12月10日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 塩田 通孝

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

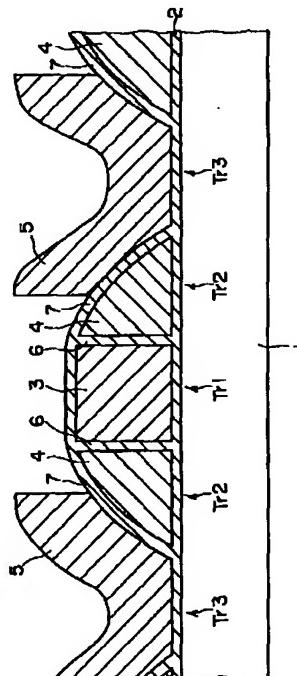
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体不揮発性記憶装置およびその製造方法

(57)【要約】

【目的】現行の加工技術の範囲内で、高集積化を図れ、  
ひいては低価格化を図れる半導体不揮発性記憶装置およ  
びその製造方法を提供することにある。

【構成】 記憶素子としてはMONOSを使用し、1層  
目のゲートをレジストアッシング法で細らせ、ONO膜  
を形成した後、2層目の第2ポリシリコン層4でサイド  
ウォールによるトランジスタを作製し、さらにONO膜  
を形成し、3層目の第3ポリシリコン層5でサイドウォ  
ール間にトランジスタを形成する。これにより、現行の  
加工技術の範囲内で、半導体不揮発性記憶装置の集積度  
の向上を図れる。



1

## 【特許請求の範囲】

【請求項1】 ゲート絶縁膜に電荷を蓄積する半導体不揮発性記憶装置であって、所定間隔において形成された少なくとも2つの第1の記憶素子と、第1の記憶素子のゲート部の少なくとも一側面側に層間膜を介して形成されたサイドウォールをゲートとする第2の記憶素子と、所定間隔をおいた2つの第2の記憶素子間に形成された第3の記憶素子とを有する半導体不揮発性記憶装置。

【請求項2】 上記ゲート絶縁膜および素子間を分離するための層間膜のうち少なくとも一方が、少なくとも塗化絶縁膜を含む絶縁膜から構成されている請求項1記載の半導体不揮発性記憶装置。

【請求項3】 記憶素子がNAND型に配列されている請求項1または請求項2記載の半導体不揮発性記憶装置。

【請求項4】 記憶素子がコンタクトレス型のNOR型に配列されている請求項1または請求項2記載の半導体不揮発性記憶装置。

【請求項5】 ゲート絶縁膜に電荷を蓄積する半導体不揮発性記憶装置の製造方法であって、半導体基板上に絶縁膜を形成した後、絶縁膜上に第1ポリシリコンを堆積し、堆積させた第1ポリシリコン層をレジストアッティングにより加工して所定間隔をおいた少なくとも2つの第1の記憶素子を形成し、

基板および第1の記憶素子表面に絶縁膜を形成した後、第1の記憶素子の少なくとも一側に第2ポリシリコン層を形成し、

少なくとも第2ポリシリコン層の表面に絶縁膜を形成した後、

少なくとも所定間隔をおいた2つの第2ポリシリコン層間に第3ポリシリコン層を形成することを特徴とする半導体不揮発性記憶装置の製造方法。

【請求項6】 第3ポリシリコン層を基板、並びに第1および第2のポリシリコン層上に形成し、第3ポリシリコン層形成後にできた溝に、マスク材を自己整合的に埋め込み、これをマスクとして第3ポリシリコン層を加工する請求項5記載の半導体不揮発性記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電気的に書き換え可能な不揮発性メモリ、たとえばフラッシュEEPROMなどの半導体不揮発性記憶装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】 不揮発性メモリは電源を切っても情報が保存されるため使いやすく、市場を拡大しつつある。こ

2

のような不揮発性メモリセルの配置には、大きく分けてNOR型とNAND型がある。

【0003】 図6は、NOR型不揮発性メモリセルの構成例を示す図である。図6において、BL<sub>1</sub>, BL<sub>2</sub>はピット線、WL<sub>1</sub>, WL<sub>2</sub>はワード線、MT<sub>11</sub>, MT<sub>12</sub>, MT<sub>21</sub>, MT<sub>22</sub>はメモリセルトランジスタをそれぞれ示している。図6に示すように、隣合う2つのトランジスタMT<sub>11</sub>およびMT<sub>12</sub>, MT<sub>21</sub>およびMT<sub>22</sub>で、ピットコンタクトCNT<sub>BL</sub>を1個共有する。すなわち、1トランジスタ(1ビット)当たりのピットコンタクトCNT<sub>BL</sub>を0.5個必要とする。

【0004】 このような構成のNOR型不揮発性メモリは、他のトランジスタを介さずに直接アクセスできることから高速動作に適しているが、1ビット当たりのコンタクトが0.5個必要なため集積度を上げるのが難しい。

【0005】 これに対して、NAND型不揮発性メモリは、図7に示すように、ピットコンタクトCNT<sub>BL</sub>と接地との間に複数のメモリセルトランジスタMT<sub>1</sub>～MT<sub>8</sub>が直列に接続されている。実際は、メモリセルトランジスタとピットコンタクトCNT<sub>BL</sub>およびグランド間に選択トランジスタが挿入されるが、ピットコンタクトCNT<sub>BL</sub>は隣接する直列メモリセルトランジスタ群とも共有する。したがって、8ビット直列セルの場合、計(8+2)×2=20トランジスタに1個で済む。

【0006】 このような構成のNAND型不揮発性メモリは、直列に接続されたメモリセルに対し、コンタクトは1個で済むので高集積化には適しているものの、アクセスしたいトランジスタに直列に他のトランジスタが接続されていることから、高速動作が必要な用途には使用できない。

【0007】 そこで、高速性はそれほど要求しないが大容量が必要な場合、たとえばハードディスクの置き換えや固定テープにはNAND型不揮発性メモリが有望とされている。この種の用途に用いられる場合は、価格が低いことが一般に広く用いられるために極めて重要である。NAND型不揮発性メモリは、単価面積当たりのピット数がNOR型不揮発性メモリより大きいので、コスト的に有利であり、その意味でもこの種の用途に向いている。

## 【0008】

【発明が解決しようとする課題】 しかしながら、通常のNAND構造のままでさらに集積度を向上させるには、微細化を進める必要があるが、それは現行の加工技術を用いるだけでは限度がある。また、そのための新しい微細加工技術を開発するために、時間的・技術的・コスト的に困難を伴う。

【0009】 本発明は、かかる事情に鑑みてなされたものであり、その目的は、現行の加工技術の範囲内で、高集積化を図れ、ひいては低価格化を図れる半導体不揮発性記憶装置およびその製造方法を提供することにある。

## 【0010】

【課題を解決するための手段】上記目的を達成するため、本発明のゲート絶縁膜に電荷を蓄積する半導体不揮発性記憶装置は、所定間隔をおいて形成された少なくとも2つの第1の記憶素子と、第1の記憶素子のゲート部の少なくとも一側面側に層間膜を介して形成されたサイドウォールをゲートとする第2の記憶素子と、所定間隔をおいた2つの第2の記憶素子間に形成された第3の記憶素子とを有する。

【0011】また、本発明の半導体不揮発性記憶装置は、上記ゲート絶縁膜および素子間を分離するための層間膜のうち少なくとも一方が、少なくとも塗化絶縁膜を含む絶縁膜から構成されている。

【0012】また、本発明の半導体不揮発性記憶装置では、記憶素子がNAND型、あるいはコンタクトレス型のNOR型に配列される。

【0013】また、本発明のゲート絶縁膜に電荷を蓄積する半導体不揮発性記憶装置の製造方法では、半導体基板上に絶縁膜を形成した後、絶縁膜上に第1ポリシリコンを堆積し、堆積させた第1ポリシリコン層をレジストアッキングにより加工して所定間隔をおいた少なくとも2つの第1の記憶素子を形成し、基板および第1の記憶素子表面に絶縁膜を形成した後、第1の記憶素子の少なくとも一側に第2ポリシリコン層を形成し、少なくとも第2ポリシリコン層の表面に絶縁膜を形成した後、少なくとも所定間隔をおいた2つの第2ポリシリコン層間に第3ポリシリコン層を形成する。

【0014】また、本発明の半導体不揮発性記憶装置の製造方法では、第3ポリシリコン層を基板、並びに第1および第2のポリシリコン層上に形成し、第3ポリシリコン層形成後にできた溝に、マスク材を自己整合的に埋め込み、これをマスクとして第3ポリシリコン層を加工する。

## 【0015】

【作用】本発明の半導体不揮発性記憶装置によれば、現行の加工技術の範囲内で、半導体不揮発性記憶装置の集積度が4倍に向上する。

【0016】また、本発明の製造方法によれば、まず、半導体基板上に絶縁膜が形成された後、絶縁膜上に第1ポリシリコンが堆積される。堆積された第1ポリシリコン層は、レジストアッキング法を用いてその幅が加工される。これにより、所定間隔をおいた少なくとも2つの第1の記憶素子が形成される。次に、基板および第1の記憶素子表面に絶縁膜が形成された後、第1の記憶素子の少なくとも一側に第2ポリシリコン層が形成され、第2の記憶素子が構成される。次いで、少なくとも第2ポリシリコン層の表面に絶縁膜が形成された後、少なくとも所定間隔をおいた2つの第2ポリシリコン層間に第3ポリシリコン層が形成され、第3の記憶素子が構成される。

【0017】また、本発明によれば、第3ポリシリコン層が基板、並びに第1および第2のポリシリコン層上に形成される。このとき、第2ポリシリコン層間に形成される第3ポリシリコン層には溝ができる。この第3ポリシリコン層形成後にできた溝に、マスク材が自己整合的に埋め込まれ、これをマスクとして第3ポリシリコン層が2つの第2ポリシリコン層間に位置するように加工される。

## 【0018】

【実施例】図1は、本発明に係るNAND型半導体不揮発性記憶装置の一実施例を示す断面図である。図1において、Tr1は第1のトランジスタ、Tr2は第2のトランジスタ、Tr3は第3のトランジスタ、1は半導体基板、2はゲート絶縁膜、3は第1ポリシリコン層、4は第2ポリシリコン層、5は第3ポリシリコン層、6、7は層間絶縁膜をそれぞれ示している。

【0019】第1のトランジスタTr1は、ゲートが第1ポリシリコン層3により構成された、いわゆるMONO S型トランジスタである。すなわち、MOSトランジスタのゲート絶縁膜が、図2に示すように、 $\text{SiO}_2/\text{SiN/SiO}_2$ の3層からなるONO絶縁膜により構成されたメモリトランジスタである。

【0020】第2のトランジスタTr2は、ゲートが第2ポリシリコン層4により構成されたMONOS型トランジスタである。ゲートを構成する第2ポリシリコン層4は、第1ポリシリコン層3の両側に層間絶縁膜6を介し、いわゆるサイドウォールとして形成されている。

【0021】第2のトランジスタTr3は、ゲートが第3ポリシリコン層5により構成されたMONOS型トランジスタである。第3ポリシリコン層5は、隣接する第2のトランジスタTr2間のゲート絶縁膜2上、並びに第1ポリシリコン層3および第2ポリシリコン4上に形成された層間絶縁膜7上に形成されている。

【0022】このように、本実施例においては、図2に示すような構造を有するONO膜が、第1～第3のトランジスタTr1、Tr2、Tr3のゲート絶縁膜として用いられ、メモリ機能を保持するのに利用されると共に、各トランジスタ間の層間絶縁膜としての機能も持つ。この場合、ONOの最下層の酸化膜(Bottom Oxとも呼ぶ)はポリシリコンを酸化することにより得られるが、ポリシリコン上の酸化膜は単結晶シリコンからなる基板1上より厚くなる性質があるので、層間絶縁の目的に好適である。

【0023】次に、図3を参照しながら、図1の半導体不揮発性記憶装置の製造方法について説明する。なお、形状に直接関係のないイオン注入等の工程の説明は省略している。

【0024】まず、図3(a)に示すように、基板1上にゲート絶縁膜2となるONO膜を形成した後、CVD法によりポリシリコンPolyを250nm程度の膜厚

で堆積した後、焼をドーピングする。なお、ゲート絶縁膜2の膜厚は、たとえば、ONO膜の最下層のSiO<sub>2</sub>の膜厚は2nm、中間のSiNの膜厚は4nm、最上層のSiO<sub>2</sub>の膜厚は3nmに設定する。

【0025】次に、図3(b)に示すように、リソグラフィーの手法により最小のデザインルールのライン/スペース(L/S)をレジストPRでパターニングする。パターン間隔は、たとえば0.4μm程度に設定する。

【0026】次に、図3(c)に示すように、レジストアッシング法を用い、酸素アラズマ中でレジストPRを等方的にエッチングし、レジスト線幅を0.2μm程度に細らせる。この際、細らせる量は第1～第3のトランジスタTr1, Tr2, Tr3のゲート長が最終的に同じになるように考慮して決定する。これにより、隣接するレジストパターン間の距離は、0.6μm程度となる。レジストアッシング法の具体的な条件としては、パワー100W、圧力200mTorr、酸素ガス20SCCMに設定する。

【0027】次いで、図3(d)に示すように、RIEによりポリシリコンおよびONO膜を除去した後、レジストを剥離する。次に、図3(e)に示すように、基板1およびパターン上にONO膜を形成する。このとき、基板1上のONO膜は第1のトランジスタTr1のONO膜と同じ膜厚になるように形成するが、前述したように、第1のトランジスタTr1の側面と上面のONO膜は基板1上より厚くなる。これは、上述したように、ボトム(Bottom)Oxがポリシリコン上で厚くなるためである。

【0028】次に、図4(f)に示すように、CVD法により第2ポリシリコン層4を形成し、焼をドーピングした後、RIEでエッチバックし第2ポリシリコン層4のサイドウォールを形成する。この場合、第1ポリシリコン層3および第2ポリシリコン層4が形成されていない領域で、後で第3のトランジスタTr3が形成される基板1上の領域のONO膜を除去する。そのため、第1のトランジスタTr1の上面のONO膜もほとんど除去される。

【0029】次に、図4(g)に示すように、基板1、第1ポリシリコン層3および第2ポリシリコン層4上にONO膜を形成する。このとき、基板1上のONO膜は、第1のトランジスタTr1および第2のトランジスタTr2のONO膜と同じ膜厚となるように形成するが、上述したように、第1のトランジスタTr1の上面と第2のトランジスタTr2の上面のONO膜は、基板1上より厚くなる。

【0030】次に、図4(h)に示すように、全体のONO膜上にCVD法により第3ポリシリコン層3Po1y(5)を形成した後、焼をドーピングする。次に、図4(i)に示すように、リソグラフィーによりパターニングする。このときのスペースはデザインルールの最小

間隔で良く、合わせずれマージンを取らなくてよい。合わせずれマージンはサイドウォールで代用できるからである。そして、図4(j)に示すように、RIEで第1のトランジスタTr1および第1のトランジスタTr1近傍領域に位置する第2にトランジスタTr2上のポリシリコン層を除去し、レジスト膜を剥離する。以下、層間絶縁膜の形成等の工程に進む。

【0031】また、上述した図4(i)および(j)の工程の代わりに、たとえば図4(h)で第3ポリシリコン層5を形成したときにできた溝に、マスク材、たとえばSiO<sub>2</sub>、SOGあるいはレジストを自己整合的に埋め込み、それをマスクとして第3ポリシリコン層5を加工するようにしてもよい。

【0032】次に、図5を用いて結果的に1単位のライン/スペースの中に幾つのメモリトランジスタを形成可能であるかを考察する。なお、図4において、Lは最小デザインルールを示しており、簡単のためライン/スペースを4L/4Lの長さとしている。また、ONOの膜厚は無視している。

【0033】図5(a)に示すように、通常の第1ポリシリコンの場合は、ライン/スペース1単位でメモリトランジスタは1個だけである。これに対して、本実施例では、図5(b)に示すように、4L+4L=8Lの中に、ゲート長2Lのトランジスタが4つ形成される。具体的には、第1のトランジスタTr1が1個、第2トランジスタTr2が2個、第3のトランジスタTr3が1個の計4個となる。その結果、本実施例によれば、集積度を通常の4倍にすることができる。

【0034】以上説明したように、本実施例によれば、素子としてはMONOSを使用し、1層目のゲートをレジストアッシング法で細らせ、ONO膜を形成した後、2層目の第2ポリシリコン4でサイドウォールによるトランジスタを作製し、さらにONO膜を形成し、3層目の第3ポリシリコン層5でサイドウォール間にトランジスタを形成したので、現行の加工技術の範囲内で、不揮発性メモリの集積度を向上することができる。その結果、ピット当たりのコストを低減することができるから、製品の価格を下げられる等の利点がある。また、サイドウォールにより合わせずれマージンを吸収し、最小加工寸法を用いてメモリセルを形成することができる。

【0035】なお、本実施例では、NAND型半導体不揮発性記憶装置を例に説明したが、これに限定されるものではなく、たとえばコンタクトレス型のNOR半導体不揮発性記憶装置にも本発明が適用できることはいうまでもない。

#### 【0036】

【発明の効果】以上説明したように、本発明によれば、現行の加工技術の範囲内で、不揮発性メモリの集積度を向上することができる。その結果、ピット当たりのコストを低減することができることから、製品の価格を下げら

れる等の利点がある。

【図面の簡単な説明】

【図1】本発明に係るNAND型半導体不揮発性記憶装置の一実施例を示す断面図である。

【図2】ONO構造の説明図である。

【図3】図1の半導体不揮発性記憶装置の製造方法を説明するための図である。

【図4】図1の半導体不揮発性記憶装置の製造方法を説明するための図である。

【図5】本発明品と従来品との集積度を比較、説明するための図である。

【図6】NOR型メモリセルを説明するための図である。

【図7】NAND型メモリセルを説明するための図である。

【符号の説明】

Tr1…第1のトランジスタ

Tr2…第2のトランジスタ

Tr3…第3のトランジスタ

1…半導体基板

2…ゲート絶縁膜

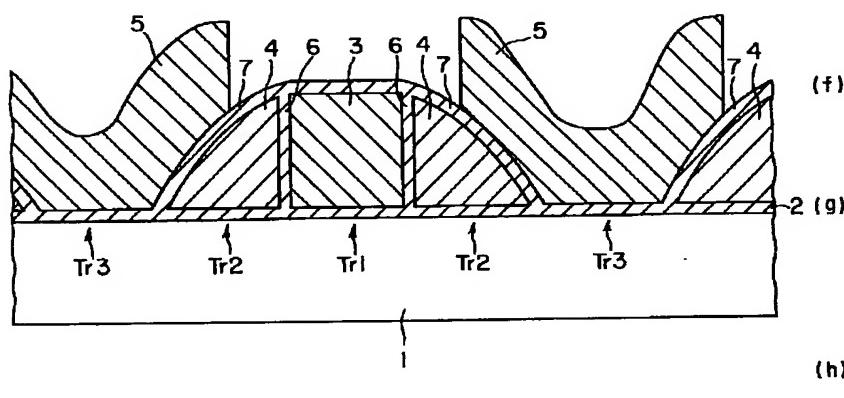
3…第1ポリシリコン層

4…第2ポリシリコン層

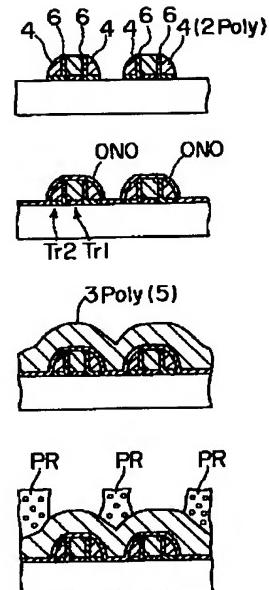
5…第3ポリシリコン層

6, 7…層間絶縁膜

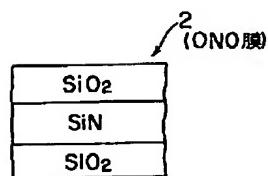
【図1】



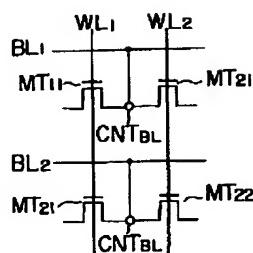
【図4】



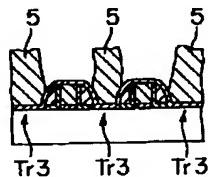
【図2】



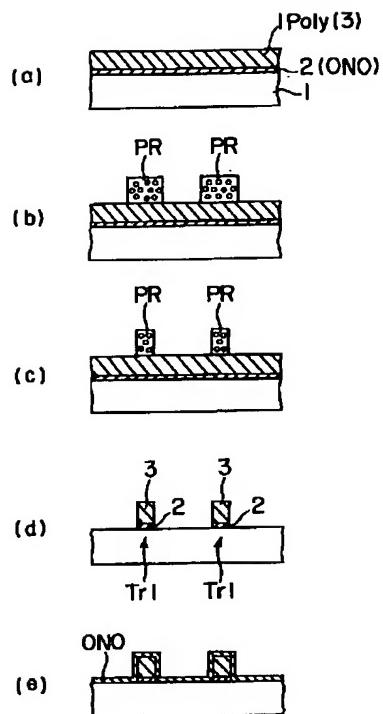
【図6】



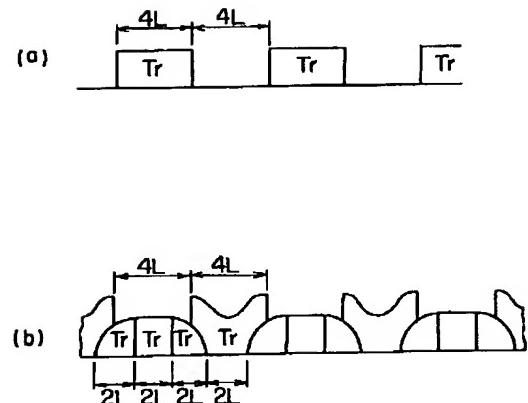
(j)



【図3】



【図5】



【図7】

